

(12) Patent Laid-open Official Gazette (A)

(19) Japanese Patent Office (JP)

(11) Patent Laid-open No.: Sho 58-115850

(43) Date of Laid-open: July 9, 1983

(51) Int. Cl.³

H 01 L 27/12

G 09 F 9/35

H 01 L 29/78

Discrimination Mark:

Official Reference Number:

8122-5F

7520-5C

7377-5F

Number of Invention: 1

Request for Examination: No

(Total: 5 pages)

(54) Title of Invention:

Active matrix panel

(21) Patent Application No.: Sho 56-212543

(22) Filing Date: December 28, 1981

(72) Inventor:

Hiroyuki Oshima

c/o Suwa Seikosha Co., Ltd.

3-5, Owa 3-chome, Suwa-shi

(71) Applicant:

Suwa Seikosha Co., Ltd.

3-4, Ginza 4-chome, Chuo-ku Tokyo

(74) Attorney: Patent Attorney Tsutomu Mogami

Specification

1. Title of Invention:

Active matrix panel

5

2. What is Claimed:

An active matrix panel comprising:

plural gate lines and plural source lines crossing perpendicular to said gate lines:

10 a thin film transistor utilizing a semiconductor thin film at each intersection of said gate lines and said source lines; and

a driver circuit constituted by a thin film transistor on at least one side of each of said gate lines or each of said source lines; and wherein:

15 a gate electrode of the thin film transistor located at each intersection of said gate lines and said source lines is formed either on the upper side or the lower side of said semiconductor thin film; and

the gate electrode of the thin film transistor used in said driver circuit is formed both on the upper side and the lower side of said semiconductor thin film.

3. Detailed Description of Present Invention:

20 The present invention relates to an active matrix panel utilizing thin film transistors (TFTs).

Much research is made on the formation of TFTs on insulating substrates lately. One of the goals of the research is formation of flat panel displays utilizing inexpensive insulating substrates. Specifically, it aims to manufacture flat panel
25 displays such as liquid crystal displays (LCDs) by forming TFTs in a matrix structure on substrates and adapting the switching characteristics. Active matrix panels thus constituted could be manufactured at remarkably low costs.

When TFTs are utilized in active matrix panels, LCDs are generally comprised
30 and liquid crystals interposed in between. These LCDs display optional letters, figures and pictures by selecting liquid crystal driving elements arranged in matrix structures on said TFT substrates by external selective circuits and applying voltage to liquid crystal electrodes connected to said liquid crystal driving elements. Fig. 1 shows a general structure of a circuit in said TFT substrates.

35 Fig. 1 (a) shows the arrangement of liquid crystal driving elements in a matrix

structure on TFT substrates. Liquid crystal driving elements 2 are arranged in a matrix structure in the display region surrounded by Line 1. Lines 3 indicate data signal lines (source lines) for Liquid crystal driving elements 2, while Lines 4 indicate timing signal lines (gate lines) for Liquid crystal driving elements 2. Fig.1 (b) shows a circuit of Liquid crystal driving elements 2. A TFT indicated by 5 performs switching of data. A condenser indicated by 6 is used for holding data signals. A liquid crystal panel is indicated by 7, a liquid crystal driving electrode formed in accordance with each liquid crystal driving element by 7-1 and an upper glass panel by 7-2.

As described above, TFTs in the liquid crystal driving element are used to switch data on the voltage applied to the liquid crystals. Characteristics expected in TFTs of such an instance are classified into the following two categories:

(1) Efficiency to supply sufficient current to charge condensers when TFTs are in the ON-state

(2) Efficiency to minimize current when TFTs is in the OFF-state

Category (1) relates to writing characteristics of data stored into condensers. Because display by liquid crystals depends on the electric potential of condensers. TFTs must have efficiency of supplying sufficient current in order to completely write data in a short time. Current in such a case (hereinafter referred to as ON-state current) varies in accordance with the capacity of condensers and the time for writing. and TFTs must be manufactured in such a way that they can cope with such ON-state current.

Category (2) relates to retention characteristics. In general, written data must be held much longer than the writing time. Since capacities of condensers are usually as small as around 1pF, even if the current in OFF-state TFTs (hereinafter referred to as OFF-state current) is small, the electric potential of drains (the electric potential of condensers) become nearer to the electric potential of sources rapidly, making it impossible to hold written data correctly. Therefore, it is necessary to minimize OFF-state current in TFTs.

are described. Following is a description of characteristics expected in TFTs utilized to constitute peripheral circuits (hereinafter referred to driver circuits) for supplying signals to each gate line or each source line and driving each liquid crystal driving element.

About 200 gate lines and about 400 source lines are usually provided in one active matrix panel, and signals needed for each line must be supplied from the

exterior. When the external circuit is provided for this purpose, connection of about 400 terminals of gate lines, source lines and the external circuit becomes necessary in the active matrix panel. Therefore, it is preferable to form driver circuits on the panels simultaneously with liquid crystal driving elements. Such formation would realize sharp decrease in the number of terminals to be taken out from the active matrix panels to the exterior, specifically to approximately 10 lines. Fig.2 shows a structure of the active matrix panel in such an instance. The display region indicated by 8 corresponds to the area surrounded by Line 1 in Fig.1 (a) and comprises liquid crystal driving elements arranged in a matrix structure. Lines 9 are source lines and Lines 10 are gate lines. Signals to Source lines 9 are supplied from Data line 11 via Switch 12. ON-OFF of Switch 12 is operated by Source line driver circuit 13, which is composed of a shift resistor group. Timing signals to Gate lines 10 are directly supplied from Gate line driver circuit 14, which is also composed of a shift resistor group. It is necessary to operate the source line driver circuit at a high speed usually. For example, the driver circuit is operated at a frequency of around 4MHz in the case of performing playback of TV signals. For this reason, TFTs constituting source line driver circuits must have large ON-state current. OFF-state current does not arise any problems as long as it is not such large as to malfunction circuits. On the other hand, the gate line driver circuit again demands large ON-state current, since it drives gate lines of as long as several centimeters, though it does not have to be operated at a high speed. OFF-state current does not pose significant problems. Accordingly, large OFF-state current does not generate any specific problems on the side of sources and gates in TFTs constituting peripheral driver circuits, but characteristics of having the largest ON-state current possible are expected in such TFTs.

As it is described above, characteristics expected in TFTs of liquid crystal driving elements are different from those expected in TFTs of driver circuits. Conventionally, these characteristics were provided in TFTs by changing the size of transistors. Specifically, W/L , the ratio of channel width W and channel length L .

... and high in TFTs of driver circuits to provide characteristics expected in each types. However, this had a shortcoming of having excessively large sizes of transistors of driver circuits. For this reason, the area of driver circuits per each panel became extremely large, thereby decreasing production yield inside a panel sharply and increasing costs. Furthermore, a decrease in the size of liquid crystal driving elements to perform clearer displays shortened intervals between source lines and gate lines naturally, which made

miniaturization of driver circuits increasingly necessary and highlighted shortcomings of the conventional method.

The present invention eliminates such shortcomings with the purpose of realizing formation of active matrix panels having expected characteristics while decreasing areas of driver circuits. Namely, the present invention provides active matrix panels whose gate electrodes of TFTs in liquid crystal driving elements are formed either on the upper sides or the lower sides of semiconductor thin films and whose gate electrodes of TFTs in driver circuits are formed both on the upper sides and the lower sides of semiconductor thin films. Following is a detailed description of the present invention with reference to figures.

Fig.3 is an example of a cross-section of a TFT having a gate electrode only on the upper side of a semiconductor thin film (hereinafter referred to as a single gate TFT). An insulating substrate of glass or others is indicated by 15, a semiconductor thin film by 16, a source region by 17, a drain region by 18, a gate insulating film by 19, a gate electrode by 20, an interlevel insulating film by 21, a source electrode by 22, and a drain electrode by 23. TFTs of this structure cannot have such large ON-state current, but can have small OFF-state current. According to the experiment by the present applicant, ON-state current of several μA can be obtained with relative ease, even if transistors are decreased to the compact size of $L \times W = 10 \mu m \times 10 \mu m$. Current of this value is sufficient for writing data, when TFTs are utilized as switching transistors in liquid crystal driving elements. Moreover, as OFF-state current can be kept at around 10pA at this time, sufficiently low OFF-state current to have retention characteristics can be obtained. Therefore, these single gate TFTs are arguably the optimal switching transistors in liquid crystal driving elements. In addition, the same can be said in the structure wherein a gate electrode is formed on the lower side of a semiconductor thin film, though Fig.3 shows the structure wherein a gate electrode is formed on the upper side of a semiconductor thin film.

Fig.4 is an example of a cross-section of a TFT having gate electrodes both on as a double gate TFT). An insulating substrate of glass or others is indicated by 24, the first gate electrode by 25, the first insulating film by 26, a semiconductor thin film by 27, a source region by 28, a drain region by 29, the second gate insulating film by 30, the second gate electrode by 31, an interlevel insulating film by 32, a source electrode by 33, and a drain electrode by 34. Such double gate TFTs can increase both OFF-state current and ON-state current in the greater degrees compared with

single gate TFTs, for channels formed by inducing carriers are formed both on the upper layer and the lower layer of semiconductors. In simple calculations, values of approximately twice as much as those in single gate TFTs can be obtained both in ON-state current and OFF-state current. The present invention utilizes this double gate TFT in the driver circuit. Since double gate TFTs have ON-state current of as much as roughly double of those in single gate TFTs, they can minimize sizes of transistors to the half. Furthermore, though OFF-state current flows at as high as double probabilities, OFF-state current does not increase substantially, because sizes of transistors can be decreased to the half. That is, almost the same characteristics with conventional ones can be obtained in transistors of half sizes. As a result of this, the area of peripheral driver circuits per each panel can be reduced by roughly half.

Finally, single gate TFTs are utilized in TFTs of liquid crystal driving elements instead of double gate TFTs in spite of all for the following reasons. Utilization of double gate TFTs as TFTs of liquid crystal driving elements would be able to reduce sizes of transistors to the half and obtain more or less the same characteristics with those of single gate TFTs, but would not be able to practice reduce of transistor sizes to the half due to the limitation of patterning techniques. In other words, though the minimum patterning scale of such large substrates as active matrix panels is said to be around $10\mu\text{m}$, sufficient characteristics of TFTs used in liquid crystal driving elements have been already obtained in single gate TFTs having channel width W of $10\mu\text{m}$, and therefore it is pointless to make channel width W to $5\mu\text{m}$ by further adopting double gate TFTs. Namely, channel length L must be doubled, as channel width W is limited to $10\mu\text{m}$ or more due to the limitation of patterning techniques. For this reason, the area of transistors increases on the contrary. Therefore, it is pointless to adopt double gate TFTs as TFTs of liquid crystal driving elements, hence single gate TFTs must be utilized.

As it is mentioned heretofore, the present invention has superior effects of decreasing the area of peripheral driver circuits per each panel by roughly half without deteriorating characteristics by providing single gate TFTs and double gate TFTs in peripheral driver circuits.

4. Brief Description of Figures:

Fig.1 is a general circuit in the case of utilizing TFTs in an active matrix panel. Fig.2 shows the overall configuration of an active matrix structure having built-in peripheral circuits. Fig.3 is an example of a cross-section of a single gate TFT. Fig.4

is an example of a cross-section of a double gate TFT.

Applicant Suwa Seikosha Co., Ltd.
Patent Attorney Tsutomu Mogami

DIALOG(R)File 352:Derwent WPI
(c) 2001 Derwent Info Ltd. All rts. reserv.
003742074

WPI Acc No: 1983-738274/198333

**Active-matrix display panel - has single-gate thin-film transistors
driving LCDs and double-gate transistors driving peripheral circuits.**

NoAbstract

Patent Assignee: SUWA SEIKOSHA KK (SUWA)

Number of Countries: 001 Number of Patents: 001

Patent Family:

Patent No	Kind	Date	Applicat No	Kind	Date	Week
JP 58115850	A	19830709				198333 B

Priority Applications (No Type Date): JP 81212543 A 19811228

Patent Details:

Patent No	Kind	Lan	Pg	Main IPC	Filing Notes
JP 58115850	A		4		

Title Terms: ACTIVE; MATRIX; DISPLAY; PANEL; SINGLE; GATE; THIN; FILM;
TRANSISTOR; DRIVE; DOUBLE; GATE; TRANSISTOR; DRIVE; PERIPHERAL;
CIRCUIT; NOABSTRACT

Derwent Class: P85; T04; U12; U14

International Patent Class (Additional): G09F-009/35; H01L-027/12;

H01L-029/78

File Segment: EPI; EngPI

⑬ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭58—115850

⑤ Int. Cl.³
H 01 L 27/12
G 09 F 9/35
H 01 L 29/78

識別記号

庁内整理番号
8122—5F
7520—5C
7377—5F

⑬ 公開 昭和58年(1983)7月9日

発明の数 1
審査請求 未請求

(全 5 頁)

⑭ アクティブマトリックスパネル

会社諏訪精工舎内

⑮ 出 願 人 株式会社諏訪精工舎

東京都中央区銀座4丁目3番4号

⑯ 特 願 昭56—212543

⑯ 出 願 昭56(1981)12月28日

⑯ 発 明 者 大島弘之

諏訪市大和3丁目3番5号株式

⑯ 代 理 人 弁理士 最上務

明 細 書

1. 発明の名称 アクティブマトリックスパネル

2. 特許請求の範囲

複数本のゲート線および前記ゲート線と直交す

ソース線との交点に、前記各ゲート線あるいは前記各ソース線の少なくとも一方の側の駆動回路を薄膜トランジスタにより構成したアクティブマトリックスパネルにおいて、前記ゲート線と前記ソース線との各交点に位置する薄膜トランジスタのゲート電極は前記半導体薄膜の上側もしくは下側の一方のみに形成され、かつ、前記駆動回路に用いられる薄膜トランジスタのゲート電極は前記半導体薄膜の上側および下側の両方に形成されたことを特徴とするアクティブマトリックスパネル。

3. 発明の詳細な説明

本発明は薄膜トランジスタを用いたアクティブマトリックスパネルに関する。

近年、絶縁基板上に薄膜トランジスタを形成する研究が活発に行なわれている。その目的の1つには、安価な絶縁基板上を用いた薄形ディスプレイの実現が挙げられる。すなわち、上に薄膜トラン

ジスタ特性を応用して液晶等による薄形ディスプレイを目指すものである。このようにして構成されたアクティブマトリックスパネルは非常に安価に製作できる可能性がある。

薄膜トランジスタをアクティブマトリックスパネルに応用した場合の液晶表示装置は、一般に、上側のガラス基板と、下側の薄膜トランジスタ基板と、その間に封入された液晶とから構成されており、前記薄膜トランジスタ基板上にマトリックス状に配置された液晶駆動素子を外部選択回路により選択し、前記液晶駆動素子に接続された液晶駆動電極に電圧を印加することにより、任意の文

字、図形、あるいは画像の表示を行なうものである。前記薄膜トランジスタ基板の一般的な回路図を第1図に示す。

第1図(a)は薄膜トランジスタ基板上の液晶駆動素子のマトリックス状配置図である。図中の1で囲まれた領域が表示領域であり、その中に液晶駆動素子2がマトリックス状に配置されている。3は液晶駆動素子2へのデータ信号ライン(ソース線)であり、4は液晶駆動素子2へのタイシング信号ライン(ゲート線)である。液晶駆動素子2の回路図を第1図(b)に示す。5は薄膜トランジスタであり、データのスイッチングを行なう。6はコンデンサであり、データ信号の保持用として用いられる。7は液晶パネルであり、7-1は各液晶駆動素子に対応して形成された液晶駆動電極であり、7-2は上側ガラスパネルである。

以上の説明からわかるように、液晶駆動素子内の薄膜トランジスタは、液晶に印加する電圧のデータをスイッチングするために用いられ、このとき薄膜トランジスタに要求される特性は大きく次

膜トランジスタがOFF状態のときの電流(以下、OFF電流という。)がわずかでも流れると、ドレインの電位(すなわちコンデンサの電位)は急激にソースの電位に近づき、書き込まれたデータは正しく保持されなくなってしまう。したがって、薄膜トランジスタのOFF電流は極力小さくする

以上、液晶駆動素子内の薄膜トランジスタに要求される特性について述べたが、以下では、各ゲート線あるいは各ソース線に信号を供給し、各液晶駆動素子を駆動するための周辺回路(以下、駆動回路という。)も薄膜トランジスタで構成した場合、その薄膜トランジスタに要求される特性について述べる。

通常、アクティブマトリックスパネルのゲート線およびソース線は、それぞれ200本程度、合計400本程度が設けられ、それぞれの線に必要な信号を外部から供給しなくてはならない。このために外部回路を設けると、アクティブマトリックスパネルのゲート線およびソース線と外部回路

の2種類に分類される。

(1) 薄膜トランジスタをON状態にした時、コンデンサを充電させるために十分な電流を流すことができること。

(2) 薄膜トランジスタをOFF状態にした時、極力、電流が流れないこと。

(1)はコンデンサへのデータの書き込み特性に関するものである。液晶の表示はコンデンサの電位により決定されるため、短時間にデータを完璧に書き込むことができるように、薄膜トランジスタは充分大きい電流を流すことができなくてはならない。このときの電流(以下、ON電流という。)は、コンデンサの容量と、書き込み時間とから定まり、そのON電流をクリアできるように薄膜トランジスタを製造しなくてはならない。

(2)は、コンデンサに書き込まれたデータの保持特性に関するものである。一般に、書き込まれたデータは書き込み時間よりもはるかに長い時間保持されなくてはならない。コンデンサの静電容量は、通常1 μ F程度の小さい値であるため、薄

との間の約400本の端子を接続する必要が生じる。したがって、駆動回路はパネル上に液晶駆動素子と同時に形成することが望ましい。これにより、アクティブマトリックスパネルから外部へ取り出す端子数は約10本程度に激減させることが可能となる。この場合のアクティブマトリックスパネルの構成を第2図に示す。8は第1図(a)

駆動素子がマトリックス状に配置されている。9はソース線、10はゲート線である。ソース線9への信号はデータ線11からスイッチ12を介して供給される。スイッチ12の開閉はシフトレジスタ群より成るソース側駆動回路13により行なわれる。ゲート線10へのタイミング信号は、同じくシフトレジスタ群より成るゲート側駆動回路14から直接供給される。ソース側駆動回路は通常高速で動作させる必要がある。例えば、テレビ信号を再生する場合には4MHz程度の周波数で動作させる。このためソース側駆動回路を構成する薄膜トランジスタは大きなON電流を有していなく

てはならない。OFF電流は回路が誤動作しない程度に多くても問題ない。一方、ゲート側駆動回路は高速で動作する必要はないが、数 μ mの長いゲート線を駆動するため、やはり大きなON電流が必要となる。OFF電流は大きい問題とはならない。したがって周辺駆動回路を構成する薄膜トランジスタはソース側もゲート側も、OFF電流が多くてもほとんど問題にならないが、ON電流は極力多くなる特性が要求される。

以上の説明からわかるように、液晶駆動素子内の薄膜トランジスタと駆動回路内の薄膜トランジスタに要求される特性は異なっている。これらの特性を満足させるために従来ではトランジスタサイズを変えることで対応していた。すなわち、薄膜トランジスタのチャネル幅 W とチャネル長 L との比 W/L を、液晶駆動素子内の薄膜トランジスタでは小さく、駆動回路内の薄膜トランジスタでは大きくすることにより、それぞれに要求される特性を満たそうとしていた。しかし、この方法では、駆動回路内のトランジスタサイズが極端に大

く説明する。

第3図は半導体薄膜の上側にのみゲート電極を設けた薄膜トランジスタ（以下、シングルゲート薄膜トランジスタという。）の断面構造の1例である。15はガラス等の絶縁基板、16は半導体薄膜、17はソース領域、18はドレイン領域、19はゲート絶縁膜、20はゲート電極、21は

電極である。このような構造の薄膜トランジスタは、ON電流はそれほど大きくできないが、OFF電流を小さくすることができる。本出願人が行なった実験によれば、トランジスタサイズを $L=10\mu m$ 、 $W=10\mu m$ の小型にしても、数 μA 程度のON電流は比較的容易に得ることができる。これは液晶駆動素子内のスイッチングトランジスタとして用いる場合、データの書き込み電流として十分な値である。また、このときのOFF電流は $10pA$ 程度にすることが可能であり、データの保持特性を確保する上でも充分低いOFF電流が得られる。したがって、液晶駆動素子内のスイッ

きくなってしまふという欠点を有している。このため、パネル内で駆動回路の占める面積比率が非常に大きくなり、パネル内の製造歩留りが大幅に低下すると共に、コストも上昇する。また、より精密な表示を行なうために、液晶駆動素子のサイズを小さくすると、おのずからソース線間およびゲート線間の間隔も小さくなり、ますます駆動回路を小型化する必要性が高まり、従来の方法の欠点がクローズアップされる。

本発明はこのような欠点を除去するものであり、その目的とするところは、要求された特性を保持したまま駆動回路の面積を減少せしめたアクティブマトリックスパネルを実現することにある。すなわち本発明は、液晶駆動素子内の薄膜トランジスタのゲート電極は半導体薄膜の上側もしくは下側の一方のみに形成され、かつ、駆動回路に用いられる薄膜トランジスタのゲート電極は半導体薄膜の上側および下側の両方に形成されたことを特徴とするアクティブマトリックスパネルを提供するものである。以下、図を参照して本発明を詳し

ク説明する。第3図は半導体薄膜の上側にのみゲート電極を設けた薄膜トランジスタ（以下、シングルゲート薄膜トランジスタという。）の断面構造の1例である。24はガラス等の絶縁基板、25は第1ゲート電極、26は第1絶縁膜、27は半導体薄膜、28はソース領域、29はドレイン領域、30は第2のゲート絶縁膜、31は第2のゲート電極、32は層間絶縁膜、33はソース電極、34はドレイン電極である。このようなダブルゲート薄膜トランジスタでは、シングルゲート薄膜トランジスタに比べて、OFF電流、ON電流ともに増加することができる。これは、キャリアを誘起して形成されるチャネルが、半導体薄膜の上層および下層の双方に形成されるためであり、単

第4図は半導体薄膜の上側および下側の両方に

ブルゲート薄膜トランジスタという。）の断面構造の1例である。24はガラス等の絶縁基板、25は第1ゲート電極、26は第1絶縁膜、27は半導体薄膜、28はソース領域、29はドレイン領域、30は第2のゲート絶縁膜、31は第2のゲート電極、32は層間絶縁膜、33はソース電極、34はドレイン電極である。このようなダブルゲート薄膜トランジスタでは、シングルゲート薄膜トランジスタに比べて、OFF電流、ON電流ともに増加することができる。これは、キャリアを誘起して形成されるチャネルが、半導体薄膜の上層および下層の双方に形成されるためであり、単

純には、ON電流、OFF電流ともに、シングルゲート薄膜トランジスタの約2倍の値が得られる。本発明は、このダブルゲート薄膜トランジスタを駆動回路に用いるものである。ダブルゲート薄膜トランジスタはシングルゲート薄膜トランジスタの約2倍のON電流を有しているから、トランジスタサイズを半分にすることができる。また、OFF電流も2倍流れやすくなるが、トランジスタサイズを半分にできるため、実質的なOFF電流の増加はほとんどない。すなわち、半分のトランジスタサイズで、従来とほとんど同等の特性を得ることができる。この結果、周辺駆動回路の占める面積を従来の約半分に減少させることが可能となる。

最後に、液晶駆動素子内の薄膜トランジスタにダブルゲート薄膜トランジスタを用いず、あえてシングルゲート薄膜トランジスタを用いる理由について述べる。液晶駆動素子内の薄膜トランジスタにダブルゲート薄膜トランジスタを採用すれば、トランジスタサイズを半分にした上で、シングル

ゲート薄膜トランジスタと同等の特性を得ることができるはずであるが、実際には、パターンニング技術の制限からトランジスタサイズを半分にすることはできない。すなわちアクティブマトリックスパネルのような大面積基板における最小パターン寸法は通常 $10\mu\text{m}$ 程度といわれているが、液晶駆動素子に用いられるトランジスタは、 $W=10\mu\text{m}$ のシングルゲート薄膜トランジスタで既に充分な特性が得られており、あえてダブルゲート薄膜トランジスタを採用して $W=5\mu\text{m}$ とすることは無意味である。つまり、パターンニング技術の限界から W は $10\mu\text{m}$ 以上に制限されているため、同等の特性を維持するためには L を2倍にしなければならない。このため、むしろトランジスタの占める面積が増大する結果になってしまう。したがって、液晶駆動素子内の薄膜トランジスタにダブルゲート薄膜トランジスタを採用することは意味がなく、シングルゲート薄膜トランジスタを用いなくてはならない。

以上述べたように、本発明は、液晶駆動素子内

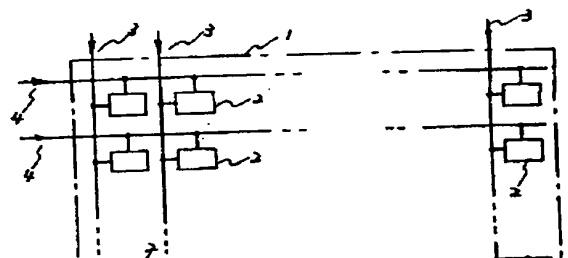
にはシングルゲート薄膜トランジスタを、また周辺駆動回路にはダブルゲート薄膜トランジスタを設けることにより、特性を悪化させることなく、周辺駆動回路の占める面積比率を約半分に減少せしめるという優れた効果を有するものである。

4. 図面の簡単な説明

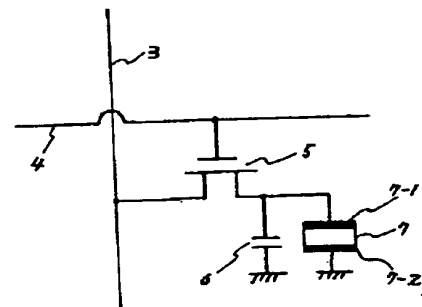
ックスパネルに应用した場合の一般的な回路図である。第2図は周辺駆動回路をアクティブマトリックスパネルに内蔵した場合の全体の構成図である。第3図はシングルゲート薄膜トランジスタの断面構成の1例である。第4図はダブルゲート薄膜トランジスタの断面構成の1例である。

以上

出願人 株式会社東映精工舎
代理人 弁護士 最上 務

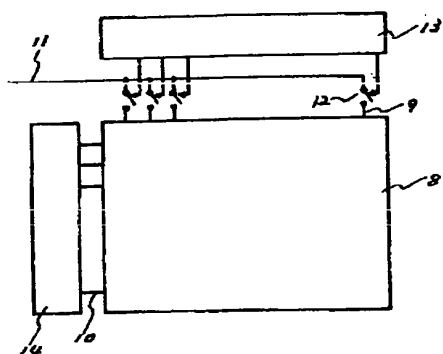


(a)

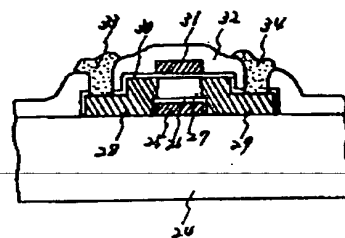


(b)

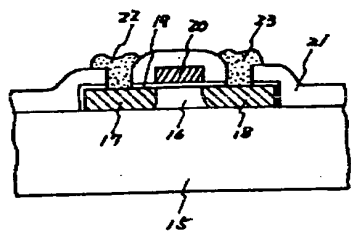
第1図



第 2 図



第 4 図



第 3 図